

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-209434

(43)Date of publication of application : 26.07.1994

(51)Int.Cl.

H04N 5/335

(21)Application number : 05-002288

(71)Applicant : NEC CORP

(22)Date of filing : 11.01.1993

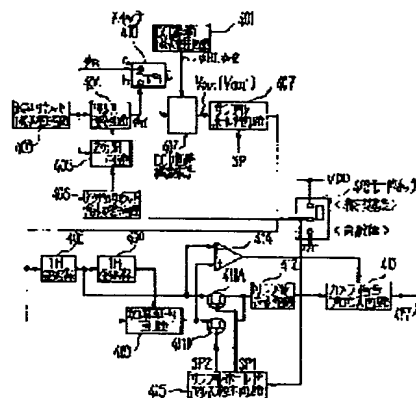
(72)Inventor : KITANO YUTAKA

(54) SOLID-STATE IMAGE PICKUP DEVICE

(57)Abstract:

PURPOSE: To improve the sensitivity and to suppress deterioration in the horizontal resolution caused by addition by adding charges of adjacent picture elements in the horizontal direction of a CCD solid-state image pickup element.

CONSTITUTION: A phase changeover means supplies a reset pulse to a CCD solid-state image pickup element 402 to select a period of a gate drive pulse from the CCD pulse generating circuit 401 fed to the CCD solid-state image pickup element to be one picture element period T or 2-picture element period 2T in which the phase is inverted by 180° at each horizontal line. A 1H delay line 408 delays an output signal from the CCD solid-state image pickup element 402 by one horizontal line. A 1H delay line 409 delays an output signal from the 1H delay line 408 by one horizontal line. An addition averaging circuit 410 adds and averages an output signal from the CCD solid-state image pickup element 402 and an output signal of the 1H delay line 409. A sample-and-hold means sample and holds alternately the added and averaged signal and an output of the 1H delay line 408 at one picture element period T.



LEGAL STATUS

[Date of request for examination] 11.01.1993

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2025652

[Date of registration] 26.02.1996

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 05.07.2001

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-209434

(43)公開日 平成6年(1994)7月26日

(51) Int.Cl.⁵

識別記号

片内整理番号

FI

技術表示箇所

H 0 4 N 5/335

P

審査請求 有 請求項の数 3 OL (全 8 頁)

(21)出願番号 特願平5-2288

(22)出願日 平成5年(1993)1月11日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 北野 豊

東京都港区芝五丁目7番1号日本電気株式
会社内

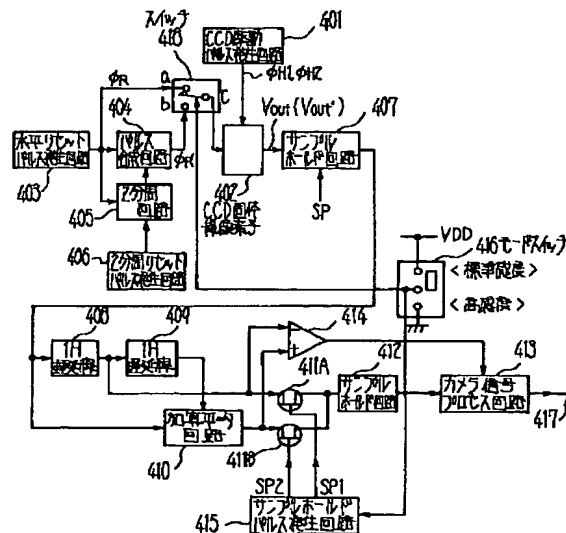
(74)代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【目的】ＣＣＤ固体撮像素子の水平方向隣接画素の電荷を加算することにより感度を向上させるとともに、加算によって生ずる水平解像度の劣化を抑える。

【構成】位相切替手段はCCD固体撮像素子402に供給するCCD駆動パルス発生回路401からのゲート駆動パルスの周期を1画素周期Tと1水平ライン毎に位相が180度反転する2画素周期2Tとに切り替えるためにCCD固体撮像素子402にリセットパルスを供給する。1H遅延線408はCCD固体撮像素子402の出力信号を1水平ライン遅延させる。1H遅延線409は1H遅延線408の出力信号を1水平ライン遅延させる。加算平均回路410はCCD固体撮像素子402の出力信号と1H遅延線409の出力信号とを加算平均する。サンプルホールド手段は加算平均された信号と1H遅延線408の出力とを1画素周期Tで交互にサンプルホールドする。



411A, 411B : サンプルホールド用ゲートトランジスタ

414 : 垂直輪野補正係数形成回路

1

【特許請求の範囲】

【請求項1】 2次元的に配置された光電変換画素と、前記光電変換画素に隣接し垂直方向に信号電荷を転送する複数の垂直転送レジスタと、垂直方向に転送された信号電荷を水平方向に転送する水平転送レジスタと、水平方向に転送された信号電荷を画素単位のアナログ信号として取り出すため画素周期で固定電位にリセットするリセットゲートおよび出力増幅器とを有するCCD固体撮像素子と；前記リセットゲートに供給するゲート駆動パルスの周期を1画素周期と1水平ライン毎に位相が180度反転する2画素周期とに切り替える位相切替手段と；前記CCD固体撮像素子の出力信号を1水平ライン遅延させる第1の1H遅延線と；前記第1の遅延線の出力信号を1水平ライン遅延させる第2の1H遅延線と；前記CCD固体撮像素子の出力信号と前記第2の1H遅延線の出力信号とを加算平均する加算平均回路と；この加算平均された信号と前記第1の1H遅延線の出力とを1画素周期で交互にサンプルホールドするサンプルホールド手段とを備えることを特徴とする固体撮像素子。

【請求項2】 前記位相切替手段はリセットパルスが発生する水平リセットパルス発生回路と、2分周リセット制御パルスが発生する2分周リセットパルス発生回路と、前記2分周リセットパルスを入力して前記リセットパルスを2分周する2分周回路と、この2分周回路の出力と前記リセットパルスとを合成するパルス合成回路と、前記リセットパルスと前記パルス合成回路の出力とを切り替えるスイッチとから構成されることを特徴とする請求項1記載の固体撮像素子。

【請求項3】 前記サンプルホールド手段はサンプルホールドパルス発生回路と、このサンプルホールドパルス発生回路からの第1および第2のサンプルホールドパルスにより前記第1の1H遅延線の出力および前記加算平均回路の出力をそれぞれゲーティングする第1および第2のサンプルホールド用ゲートトランジスタと、これら第1および第2のサンプルホールド用ゲートトランジスタの出力をサンプルホールドするサンプルホールド回路とから構成されることを特徴とする請求項1記載の固体撮像素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は監視等の用途に用いるビデオカメラ装置等の固体撮像素子に関する。

【0002】

【従来の技術】CCDを用いた固体カメラは各分野に利用されているが、まだ十分な機能、性能を有するものとは言えない。カメラの性能改善項目の一つである高感度化の手法としては、使用するCCD固体撮像素子の感度を向上させるのが最もよいが、素子の改善とは別に、回路的手法によるカメラの感度向上の試みもいくつか行われている。

2

【0003】そのうちの一つとして、CCDの電荷出力部のリセットゲート駆動に用いるリセットパルスを通常の1水平画素周期から数画素周期の間欠駆動とし、リセットパルス1周期内に水平転送レジスタから送られてくる数画素分の電荷を加算することにより感度向上を実現する手法がある。この手法の従来の例について図3、図4および図5を用いて説明する。

【0004】図3は一般的な固体撮像素子の一例におけるCCD固体撮像素子の構成図である。光電変換画素101等に蓄積された電荷は垂直ブランキング期間内に光電変換画素101に隣接した垂直転送レジスタ102に読み込まれ、水平周波数に同期した転送パルスにより垂直方向に転送された後、水平転送レジスタ103内を水平方向に転送される。

【0005】水平転送された信号電荷は水平転送レジスタ103の最終段から出力ゲート104を経由し、浮遊拡散層105に送られる。

【0006】浮遊拡散層105に接続されたリセットトランジスタ106がリセットゲート端子107に加えられる1画素周期のリセットパルスφRによりオンすると、浮遊拡散層105の電位はリセット基準電位供給端子108のリセット基準電位VRDにリセットされ、リセット基準電位VRDを基準として1画素の信号電荷分が電位差となって検出される。検出された信号は出力増幅器109を経てCCD出力端子110に送出される。

【0007】図4は従来の固体撮像素子の一例の回路ブロック図、図5は図4の回路例における各部の波形タイミング図である。

【0008】図3に示されたCCD固体撮像素子202はCCD駆動パルス発生回路201から供給される垂直、水平転送パルスにより信号電荷の転送動作が行われる。水平リセットパルス発生回路203により形成されたリセットパルスはパルス合成回路204、2分周回路205およびスイッチ213のa端子に送られており、2分周回路205の出力はパルス合成回路204に接続されている。

【0009】パルス合成回路205出力のリセットパルスφR'はスイッチ213のb端子に接続され、スイッチ213のコモン端子cはCCD固体撮像素子202のリセットゲートに接続されている。

【0010】CCD固体撮像素子202の出力信号はサンプルホールド回路206を経て、縦続接続された1H遅延線207および208に送られる。1H遅延線207の出力はカメラ信号プロセス回路209に送られてテレビジョン信号となる処理を行い、カメラ出力端子211に送出される。

【0011】一方、サンプルホールド回路206と1H遅延線207、208の各出力は垂直輪郭補正信号形成回路210に送られ、垂直輪郭補正信号を形成してカメラ信号プロセス回路209にてミックスする。

3

【0012】モードスイッチ212は標準感度モードと高感度モードを選択するスイッチであり、出力ラインはスイッチ213の制御端子と、サンプルホールド回路206に供給するためのパルス进行形成するサンプルホールドパルス発生回路214とに接続されている。

【0013】今、標準感度モードとした場合、スイッチ213がa側に倒れて、水平リセットパルス発生回路203で形成された図5に示されるような1画素周期TのリセットパルスφRがCCD固体撮像素子202のリセットゲートに供給される。その結果、CCD出力信号は図5のVout波形のように1画素周期Tの信号となる。

【0014】1画素周期TのCCD出力信号はサンプルホールド回路206で1画素周期TのサンプルホールドパルスSPでサンプルホールドされ、連続信号となった後に後段へ送出される。

【0015】次に、高感度モードとした場合には、スイッチ213がb側に倒れて、水平リセットパルス発生回路203からのリセットパルスφRと、このリセットパルスφRを2分周回路205で2分周した出力とをパルス合成回路204で合成して得た図5に示される2画素周期2TのリセットパルスφR'がCCD固体撮像素子202のリセットゲートに供給される。

【0016】その結果、CCD出力信号は図5のVout'波形のように2画素周期2Tで、かつ2画素の信号レベルを加算した信号レベルとなる。2画素周期2TのCCD出力信号はサンプルホールド回路206で2画素周期2TのサンプルホールドパルスSP'によりサンプルホールドされ、連続信号となった後に後段へと送出される。

【0017】このように、図4および図5で示される従来例では、リセットパルスを2画素周期2Tの間欠駆動とする高感度モード時にCCD出力信号に標準感度モード時の約2倍の出力レベルを得ることができる。

【0018】

【発明が解決しようとする課題】しかしながら、従来例の高感度モードにおいては、水平方向に隣接した2画素を電荷レベルで混合するため水平方向の分解能が標準感度モード時の1/2に落ちてしまうことになるという問題点があった。

【0019】本発明の目的は、上記のようなリセットパルスの間欠駆動により高感度を得る構成のカメラにおいて、水平画素電荷の混合による水平解像度の低下を軽減する固体撮像素子を提供することにある。

【0020】

【課題を解決するための手段】本発明の固体撮像素子は、2次元的に配置された光電変換画素と、前記光電変換画素に隣接し垂直方向に信号電荷を転送する複数の垂直転送レジスタと、垂直方向に転送された信号電荷を水平方向に転送する水平転送レジスタと、水平方向に転送

4

された信号電荷を画素単位のアナログ信号として取り出すため画素周期で固定電位にリセットするリセットゲートおよび出力増幅器とを有するCCD固体撮像素子と；前記リセットゲートに供給するゲート駆動パルスの周期を1画素周期と1水平ライン毎に位相が180度反転する2画素周期とに切り替える位相切替手段と；前記CCD固体撮像素子の出力信号を1水平ライン遅延させる第1の1H遅延線と；前記第1の遅延線の出力信号を1水平ライン遅延させる第2の1H遅延線と；前記CCD固体撮像素子の出力信号と前記第2の1H遅延線の出力信号とを加算平均する加算平均回路と；この加算平均された信号と前記第1の1H遅延線の出力とを1画素周期で交互にサンプルホールドするサンプルホールド手段とを備えることを特徴とする。

【0021】そして、前記位相切替手段はリセットパルスを発生する水平リセットパルス発生回路と、2分周リセット制御パルスを発生する2分周リセットパルス発生回路と、前記2分周リセットパルスを入力して前記リセットパルスを2分周する2分周回路と、この2分周回路の出力と前記リセットパルスとを合成するパルス合成回路と、前記リセットパルスと前記パルス合成回路の出力とを切り替えるスイッチとから構成されることを特徴とする。

【0022】また、前記サンプルホールド手段はサンプルホールドパルス発生回路と、このサンプルホールドパルス発生回路からの第1および第2のサンプルホールドパルスにより前記第1の1H遅延線の出力および前記加算平均回路の出力をそれぞれゲーティングする第1および第2のサンプルホールド用ゲートトランジスタと、これら第1および第2のサンプルホールド用ゲートトランジスタの出力をサンプルホールドするサンプルホールド回路とから構成されることを特徴とする。

【0023】

【実施例】次に、本発明について図面を参照して説明する。

【0024】図1は本発明の固体撮像素子の一実施例を示す回路ブロック図、図2は図1の実施例における各部の波形タイミング図である。

【0025】図3によりその構成が示されたCCD固体撮像素子402はCCD駆動パルス発生回路401から供給される垂直転送パルスと、水平転送パルスφH1、φH2により信号電荷の転送動作を行う。

【0026】水平リセットパルス発生回路403により発生されリセットパルスφRはパルス合成回路404、2分周回路405およびスイッチ418のa端子に送られており、2分周回路405の出力はパルス合成回路404に接続されている。2分周回路405には2分周リセットパルス発生回路406から2分周リセット制御パルスが供給されている。

【0027】パルス合成回路405出力のリセットパル

5

スφR'はスイッチ418のb端子に接続され、スイッチ418のコモン端子cはCCD固体撮像素子402のリセットゲートに接続されている。

【0028】CCD固体撮像素子402の出力信号はサンプルホールド回路407に入力され、サンプルホールド回路407の出力は縦続接続された1H遅延線408と1H遅延線409と加算平均回路410とに送られる。

【0029】加算平均回路410のもう一方の入力は1H遅延線409の出力に接続されている。1H遅延線408の出力と加算平均回路410の出力はそれぞれサンプルホールド用ゲートトランジスタ411A、411Bのドレイン端子に接続されるとともに垂直輪郭補正信号形成回路414へも供給される。

【0030】サンプルホールド用ゲートトランジスタ411A、411Bのゲート端子にはサンプルホールドパルス発生回路415から位相の異なるサンプルホールドパルスSP1、SP2（またはSP1'、SP2'）が供給され、各ソース端子はサンプルホールド回路412に接続されている。

【0031】サンプルホールド回路412の出力はカメラ信号プロセス回路413に送られ、テレビジョン信号となる処理を行ってカメラ出力端子417に送出される。

【0032】垂直輪郭補正信号形成回路414で形成された垂直輪郭補正信号はカメラ信号プロセス回路413にて原信号とミックスされる。

【0033】モードスイッチ416は標準感度モードと高感度モードを選択するスイッチであり、その出力ラインはスイッチ418の制御端子と、サンプルホールド回路407およびサンプルホールド用ゲートトランジスタ411A、411Bに供給するためのパルスを形成するサンプルホールドパルス発生回路415に接続されている。

【0034】今、標準感度モードとした場合、スイッチ418がa側に倒れて、リセットパルス発生回路403で形成された図2に示されるような1画素周期TのリセットパルスφRがCCD固体撮像素子402のリセットゲートに供給される。

【0035】その結果、CCD出力信号は図2のVout波形のように1画素周期Tの信号となる。1画素周期TのCCD出力信号はサンプルホールド回路407で1画素周期TのサンプルホールドパルスSPによりサンプルホールドされ、連続信号となった後に後段に送出される。

【0036】図2に示すように標準感度モードでは、サンプルホールド用ゲートトランジスタ411Aに供給されるサンプルホールドパルスSP1は1画素周期Tのパルスであり、サンプルホールド用ゲートトランジスタ411Bに供給されるサンプルホールドパルスSP2は口

6

一電位(L)に固定であるので、サンプルホールド用ゲートトランジスタ411Bは常にオフとなり、サンプルホールド回路412には前段の1H遅延線408の出力のみが供給される。

【0037】次に、高感度モードとした場合には、スイッチ418がb側に倒れて、リセットパルス発生回路403からのリセットパルスφRと、このリセットパルスφRを2分周回路405で2分周した出力とをパルス合成回路404で合成して得た図2に示される2画素周期2TのリセットパルスφR'がCCD固体撮像素子402のリセットゲートに供給される。

【0038】このとき、2分周リセットパルス発生回路406から2分周回路に供給される2分周リセットパルスによりリセットパルスφR'は2画素周期2Tで、かつ水平1ライン毎に位相が180度反転したパルスとなっている。

【0039】このため、CCD出力信号は図2のVout'波形のように1画素周期Tで、かつ2水平画素の信号レベルを加算した信号レベルとなり、さらに1水平ライン毎に混合される水平画素のペアが1画素分ずれる結果となる。

【0040】2画素周期2TのCCD出力信号はサンプルホールド回路407において、2画素周期2Tで、かつ1ライン毎に位相が180度反転した位相のサンプルホールドパルスSP'でサンプルホールドされ、連続信号となった後に後段へと送出される。

【0041】前段の1H遅延線408の出力と、サンプルホールド回路407あるいは後段の1H遅延線409の出力とは信号位相が1画素分ずれており、従って、前段の1H遅延線408の出力と加算平均回路410の出力もまた信号位相が1画素分ずれている。

【0042】サンプルホールド用ゲートトランジスタ411A、411Bのゲート端子にはサンプルホールドパルス発生回路415から2画素周期2Tで1水平ライン毎に位相が180度異なり、かつ常に互いに位相が180度異なるサンプルホールドパルスSP1'、SP2'がそれぞれ供給される。

【0043】これにより、1画素周期T毎に2つのサンプルホールド用ゲートトランジスタが交互にオンし、1H遅延線408の出力(1H信号)と加算平均回路410の出力(0H+2H信号)とが1画素周期T毎に交互にサンプリングされる。

【0044】結果として、サンプルホールド回路412にて合成された信号は1H信号に対して垂直相関性を強く持つ0H+2H信号で内挿補完された信号となるため、水平方向の画素混合により低下した水平解像度の低下を3/4に抑えて補償することになる。

【0045】

【発明の効果】以上説明したように本発明によれば、CCD固体撮像素子のリセットゲートに印加するリセット

7

パルスを2画素周期2Tの間欠駆動とし、水平隣接画素の電荷を混合することにより2倍の感度を実現しながらも、リセットパルスの位相制御と垂直相関を利用した信号の内挿処理との組み合わせにより、画素混合によって水平解像度が半減する従来例に比較して、水平解像度の低下を3/4に抑えることができるという効果を有する。

【0046】また解像度を補償する回路の構成要素として用いられている1H遅延線および加算平均回路は、共にカメラの必要要素である垂直輪郭補償回路の構成要素としても用いられるので、本発明を実施することにより、実質的なコストおよび実装スペースの負担は少なく済み、その実用的効果は大なるものがある。

【図面の簡単な説明】

【図1】本発明の固体撮像装置の一実施例を示す回路ブロック図である。

【図2】図1の実施例における各部の波形タイミング図である。

【図3】一般的な固体撮像装置の一例におけるCCD固体撮像素子の構成図である。

【図4】従来の固体撮像装置の一例の回路ブロック図である。

【図5】図4の回路例における各部の波形タイミング図である。

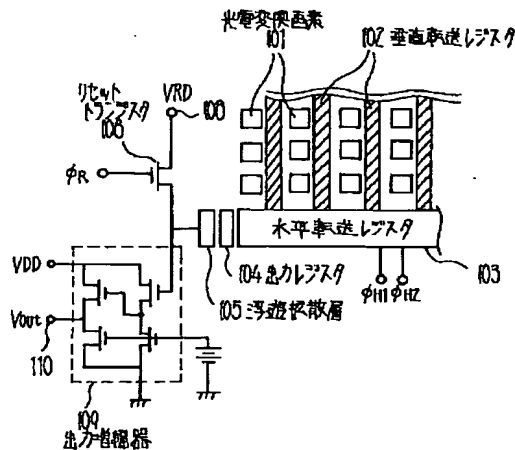
【符号の説明】

- 101 光電変換画素
102 垂直転送レジスタ

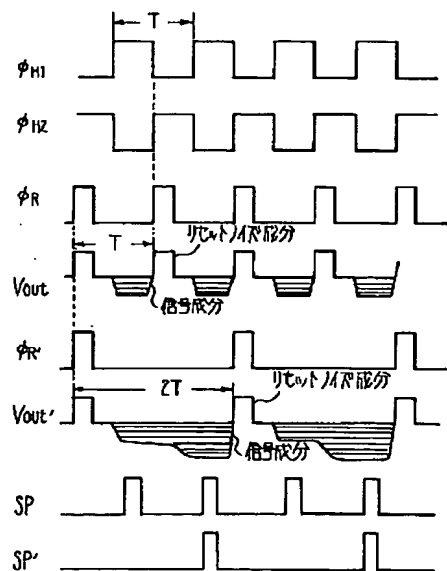
8

- 103 水平転送レジスタ
104 出力レジスタ
105 浮遊拡散層
106 リセットトランジスタ
107 リセットゲート端子
108 リセット基準電圧供給端子
109 出力増幅器
110 CCD出力端子
201, 401 CCD駆動パルス発生回路
202, 402 CCD固体撮像素子
203, 403 水平リセットパルス発生回路
204, 404 パルス合成回路
205, 405 2分周回路
206, 407, 412 サンプルホールド回路
207, 208, 408, 409 1H遅延線
209, 413 カメラ信号プロセス回路
210, 414 垂直輪郭補正信号形成回路
211, 417 カメラ出力端子
212, 416 モードスイッチ
213, 418 スイッチ
214, 415 サンプルホールドパルス発生回路
406 2分周リセットパルス発生回路
410 加算平均回路
411A, 411B サンプルホールド用ゲートトランジスタ
T 1画素周期

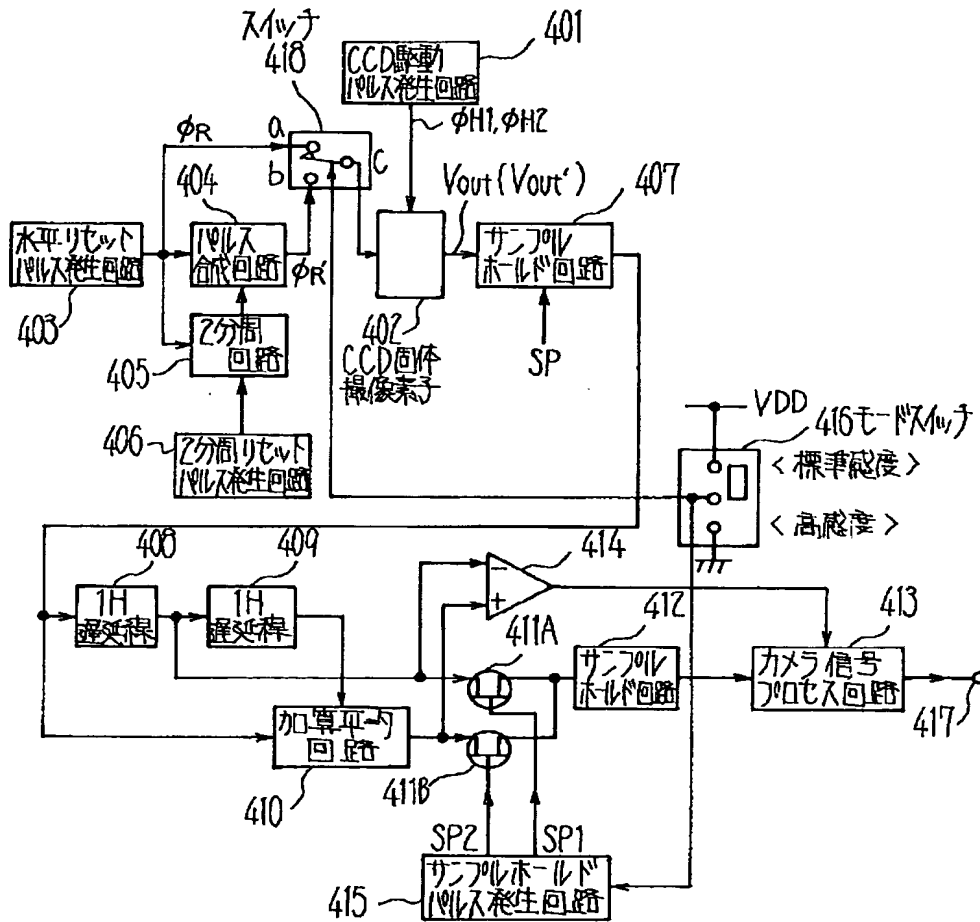
【図3】



【図5】



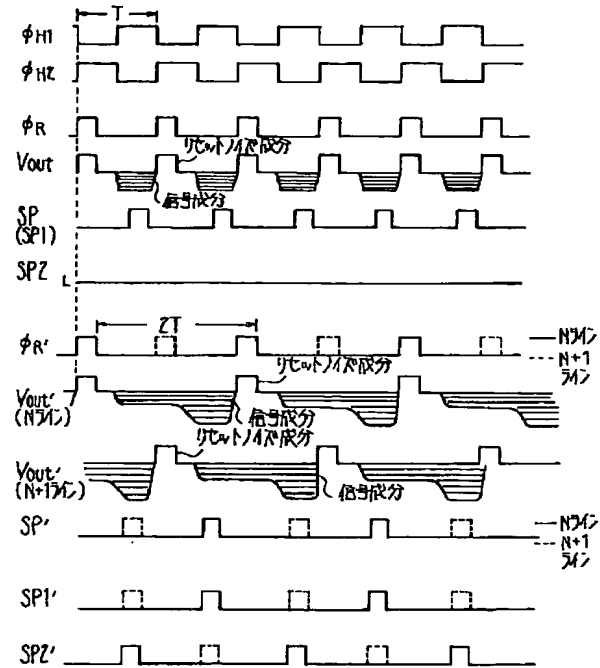
【図1】



411A, 411B : サンプルホールド用ゲートトランジスタ

414 : 垂直輪郭補正信号形成回路

【図2】



【図4】

